

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251959

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H04B 1/707

(21)Application number : 10-053254

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.03.1998

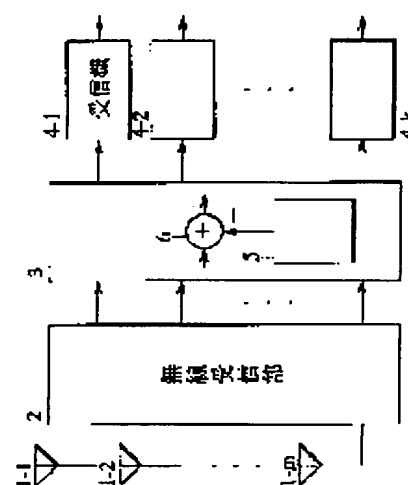
(72)Inventor : TSUTSUI MASABUMI
TANAKA YOSHIKI
KOBAYAKAWA SHIYUJI

(54) INTERFERENCE CANCELER DEVICE AND RADIO COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate interference by a high-speed channel by a simple constitution related to an interference canceler device and a radio communication equipment in a DS-CDMA communication system for multi-rate transmission.

SOLUTION: The DS-CDMA communication system for multi-rate transmission is provided with at least a low-speed channel and the high-speed channel, and the interference canceler device 3 equipped with an array antenna interference replica generation unit 5 for the high-speed channel to input reception signals corresponding to array antenna elements 1-1-1-m and to generate the interference replica of the high-speed channel. An adder 6 for outputting interference elimination signals for which the interference replica is subtracted from the reception signals by the array antenna elements 1-1-1-m is provided. The interference elimination signals from the interference canceler device 3 are inputted to receivers 4-1-4-k corresponding to the low-speed channel and the high-speed channel for demodulation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (IISPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-251959

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.⁶

H 0 4 B 1/707

識別記号

F I

H 0 4 J 13/00

D

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21)出願番号 特願平10-53254

(22)出願日 平成10年(1998) 3月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 筒井 正文

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 田中 良紀

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 小早川 周磁

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

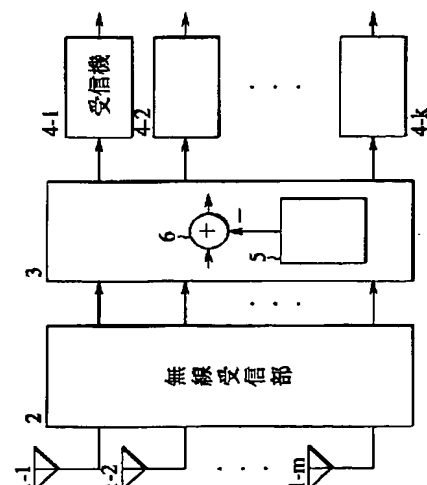
(54)【発明の名称】 干渉キャンセラ装置及び無線通信装置

(57)【要約】

【課題】 マルチレート伝送を行うDS-CDMA通信システムに於ける干渉キャンセラ装置及び無線通信装置に関し、高速チャネルによる干渉を簡単な構成により除去する。

【解決手段】 少なくとも低速チャネルと高速チャネルとを含むマルチレート伝送を行うDS-CDMA通信システムに於いて、アレーアンテナ素子1-1~1-m対応の受信信号を入力して高速チャネルの干渉レプリカを生成する高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット5と、アレーアンテナ素子1-1~1-mによる受信信号から干渉レプリカを減算した干渉除去信号を出力する加算器6とを含む干渉キャンセラ装置3を有し、この干渉キャンセラ装置3からの干渉除去信号を低速チャネル、高速チャネル対応の受信機4-1~4-kに入力して復調する。

本発明の実施の形態の無線通信装置の要部説明図



1

【特許請求の範囲】

【請求項1】 少なくとも低速チャンネルと高速チャンネルとを含むマルチレート伝送を行うDS-CDMA通信システムに於ける干渉キャンセラ装置に於いて、アレーアンテナ素子対応の受信信号を入力して前記高速チャンネルの干渉レプリカを生成する高速チャンネル用のアレーアンテナ干渉レプリカ生成ユニットと、前記アレーアンテナ素子による受信信号から前記アレーアンテナ干渉レプリカ生成ユニットにより生成した干渉レプリカを減算して、前記高速チャンネルによる干渉を除去した干渉除去信号を出力する加算器とを含む構成を有することを特徴とする干渉キャンセラ装置。

【請求項2】 受信信号の遅延プロファイルを基にパス検出を行ってフィンガ部の割当てを行うサーチャを有し、該サーチャは、前記低速チャンネルのパス検出時の閾値を記憶するメモリと、該メモリに記憶された前記低速チャンネルのパス検出用の閾値を用いて前記高速チャンネルのパス検出を行い、検出されたパスに対応して前記フィンガ部の割当てを行うパス検出部とを有することを特徴とする請求項1記載の干渉キャンセラ装置。

【請求項3】 アレーアンテナ素子による受信信号を入力する干渉キャンセラ装置と、該干渉キャンセラ装置による干渉除去信号を入力して復調する受信機とを含むDS-CDMA通信システムに於ける無線通信装置に於いて、前記干渉キャンセラ装置は、高速チャンネル対応のアレーアンテナ干渉レプリカ生成ユニットと、該アレーアンテナ干渉レプリカ生成ユニットからの干渉レプリカを前記アレーアンテナ素子による受信信号から減算した干渉除去信号を出力する加算器とを含む構成を有し、前記受信機は、前記干渉除去信号を入力して復調する構成を有することを特徴とする無線通信装置。

【請求項4】 前記アレーアンテナ素子の少なくとも一つのアンテナ素子による受信信号の遅延プロファイルを基にパス検出を行ってフィンガ部の割当てを行うサーチャを有し、該サーチャは、低速チャンネルのパス検出時の閾値を記憶するメモリと、高速チャンネルのパス検出時に前記メモリに記憶された前記低速チャンネルのパス検出用の閾値を用いて前記高速チャンネルのパス検出を行い、検出されたパスに対応に前記フィンガ部の割当てを行うパス検出部とを備えていることを特徴とする前記請求項3記載の無線通信装置。

【請求項5】 前記干渉キャンセラ装置は、前記アレーアンテナ素子対応の受信信号を入力する高速チャンネル対応のアレーアンテナ干渉レプリカ生成ユニットと、該アレーアンテナ干渉レプリカ生成ユニットからの干渉レプリカを前記アレーアンテナ素子対応の受信信号から減算した干渉除去信号を出力する加算器とを含み、前記受信機は、前記アレーアンテナ素子対応の前記干渉除去信号を用いてビームフォーミングを行って復調する構成を有

2

することを特徴とする請求項3又は4記載の無線通信装置。

【請求項6】 前記干渉キャンセラ装置は、前記アレーアンテナ素子対応の受信信号から前記高速チャンネル対応の干渉レプリカとシンボルレプリカとを出力するアレーアンテナ干渉レプリカ生成ユニットと、該アレーアンテナ干渉レプリカ生成ユニットからの干渉レプリカを前記アレーアンテナ素子対応の受信信号から減算した干渉除去信号を出力する加算器とを含み、低速チャンネル対応の受信機は、前記アレーアンテナ素子対応の干渉除去信号を用いビームフォーミングを行って復調する構成を有し、高速チャンネル対応の受信機は、前記アレーアンテナ素子対応の干渉除去信号と前記シンボルレプリカとを用いて復調する構成を有することを特徴とする請求項3又は4記載の無線通信装置。

【請求項7】 前記干渉キャンセラ装置は、前記アレーアンテナ素子対応の受信信号を入力して干渉レプリカを生成出力する高速チャンネル対応のアレーアンテナ干渉レプリカ生成ユニットと、該アレーアンテナ干渉レプリカ生成ユニットからの干渉レプリカを前記アレーアンテナ素子の一つの素子による受信信号から減算した干渉除去信号を出力して、低速チャンネル対応の受信機に入力する加算器とを含む構成を有することを特徴とする請求項3又は4記載の無線通信装置。

【請求項8】 前記干渉キャンセラ装置は、前記アレーアンテナ素子対応の受信信号を入力して干渉レプリカとシンボルレプリカとを出力する高速チャンネル対応のアレーアンテナ干渉レプリカ生成ユニットと、該アレーアンテナ干渉レプリカ生成ユニットからの干渉レプリカを前記アレーアンテナ素子の一つの素子による受信信号から減算した干渉除去信号を出力する加算器とを含み、低速チャンネル対応の受信機は、前記干渉除去信号を用いて復調する構成を有し、高速チャンネル対応の受信機は、前記干渉除去信号と前記シンボルレプリカとを用いて復調する構成を有することを特徴とする請求項3又は4記載の無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DS-CDMA

(Direct Sequence Code Division Multiplex Access ; 直接スペクトル拡散符号分割多元接続)方式に於けるアレーアンテナを用いた干渉キャンセラ装置及びこの干渉キャンセラ装置を用いた無線通信装置に関する。

【0002】DS-CDMA方式に於いて、複数種類の伝送レートを含むマルチレート伝送システムが知られている。又チャンネル間の干渉によってチャンネル容量が制約を受けるので、この干渉を除去する干渉キャンセラ装置を設けることになる。又アレーアンテナを設けてビーム形成を行うと、空間の分離による干渉の低減並びにアンテナ利得の向上により送信電力の低減を図る構成も提案

3

されている。又マルチパスに対応したレイク受信システムも知られている。前述のような各種の手段を組合せる構成も考えられる。その場合に於いて、特性を改善すると共に経済的な構成とすることが必要となる。

【0003】

【従来の技術】図10は従来例の干渉キャンセラ装置の要部説明図であり、第1ステージと第2ステージと最終ステージとを含むマルチステージ・パラレル構成の場合を示す。同図に於いて、101はアンテナ、102-1、102-2は遅延回路(DL)、103-11~103-1k~103-21~103-2kは干渉レプリカ生成ユニット(ICU)、104-1、104-2は加算器、105-1~105-kはユーザ対応の受信機を示す。なお、第1ステージのみ或いは更に多数のステージ構成とすることも可能である。又移動無線通信システムに於ける送信部は、誤り訂正符号化等を行う符号化部と、QPSK等の変調方式の変調部と、拡散復調部とを含み、これに対する受信部は、逆拡散による拡散復調部と、QPSK等の変調波を復調する復調部と、誤り訂正等を行う復号化部とを含む構成が一般的である。

【0004】第1ステージでは、ユーザチャネル対応の干渉レプリカ生成ユニット103-11~103-1kに受信信号が入力され、シンボルレプリカSBと干渉レプリカdとを出力する。そして、遅延回路102-1を介した受信信号から干渉レプリカdを加算器104-1に於いて減算し、誤差信号eとして第2ステージに加える。

【0005】第2ステージでは、干渉レプリカ生成ユニット103-21~103-2kに、第1ステージからの誤差信号eと、干渉レプリカ生成ユニット103-11~103-1kからのシンボルレプリカSBとを入力し、シンボルレプリカSBと干渉レプリカdとを出力し、遅延回路104-2を介した第1ステージの誤差信号eから干渉レプリカdを加算器104-2に於いて減算し、誤差信号eとして最終ステージの受信機105-1~105-kに加える。ユーザチャネル対応の受信機104-1~105-kは、第2ステージからの誤差信号eとシンボルレプリカSBとを基に復調処理して受信出力する。

【0006】図11は従来例の干渉レプリカ生成ユニットの説明図であり、103は図10に於ける各ステージの干渉レプリカ生成ユニット、111は逆拡散処理部、112は再拡散処理部、113は逆拡散部、114は加算器、115はチャネル推定部、116は乗算器、117、119は合成部(Σ)、118は判定部、120は乗算器、121は加算器、122は再拡散部である。

【0007】逆拡散処理部111及び再拡散処理部112は、受信信号の伝搬経路が反射等により複数となるから、そのパス数に対応して複数並列的に設けられている。逆拡散処理部111は、受信信号又は前ステージの

4

誤差信号eと、前ステージのシンボルレプリカSB(第1ステージの場合は零)とが入力される。逆拡散部113は、受信信号又は誤差信号eを拡散コードにより逆拡散して復調する。この復調信号に前ステージのシンボルレプリカSBを加算器114により加算し、チャネル推定部115と乗算器116とに入力する。チャネル推定部115はチャネル推定値を乗算器116、120に入力する。

【0008】この場合、パイロットシンボル等の既知のシンボルをZ(複素数)とし、パスの伝搬特性を α (複素数)とすると、受信されるシンボルは $Z \cdot \alpha$ として表すことができる。そこで、既知のシンボルZの複素共役 Z^* を乗算して $|Z|^2 \cdot \alpha$ を算出する。前述のように、シンボルZは既知の値であるから、パスの伝搬特性 α を求めることができ、この伝搬特性 α の平均値を求めてチャネル推定値 $\hat{\alpha}$ とするものである。

【0009】このチャネル推定値 $\hat{\alpha}$ の複素共役(*印で示す)を乗算器116に入力して、加算器114の出力信号に乗算し、伝送経路による位相差を補正して、合成器117により、パスダイバーシティ合成して出力する。

【0010】合成器117の合成出力信号は判定部118により閾値と比較してデータを仮判定出力する。再拡散処理部112は、判定部118の判定出力信号にチャネル推定部115のチャネル推定値を乗算器120に於いて乗算し、パス毎のシンボルレプリカSBとして、次のステージに送出する。又加算器121に於いて、このステージのシンボルレプリカと前ステージのシンボルレプリカSBとの差分を出力し、再拡散部122により拡散コードで再拡散し、合成部119によりパス対応の再拡散信号を合成して次ステージへの干渉レプリカdとする。

【0011】最終ステージの受信機105-1~105-kは、干渉レプリカ生成ユニット103の再拡散処理部112を省略し、復調器を設けた構成に相当し、復調出力信号は、基地局に接続したネットワーク(図示せず)に送出することになる。

【0012】図12は従来例のアダプティブアレー受信装置の説明図であり、(A)はアレーアンテナ素子131-1~131-mとユーザ対応のアダプティブアレー受信機132-1~132-k(AA受信機)とからなる受信装置を示し、(B)はその中のアダプティブアレー受信機132の要部を示す。(B)に於いて、133は逆拡散処理部、134-1~134-mは逆拡散部、135-1~135-mは乗算器、136は重み付け制御部、137、138は加算器、139はチャネル推定部、140、141は乗算器、142は合成器(Σ)、143は判定部である。

【0013】逆拡散処理部133の逆拡散部134-1~134-mは、アレーアンテナ素子131-1~131-m

3-m対応に設けられ、図示を省略した拡散コード発生部からの拡散コードにより逆拡散し、乗算器135-1~135-mと重み付け制御部136とに入力する。重み付け制御部136は、例えば、隣接する逆拡散部134-1~134-mの出力信号と加算器138の出力信号とを基に重み係数を算出する構成を有する。

【0014】この重み係数(複素数)は、アレーアンテナに対する電波の到来方向に従った値となり、乗算器135-1~135-mに於いて逆拡散出力信号に乗算することにより、位相を合わせた状態として加算器137により加算し(ビームフォーミング処理)、前述の干渉レプリカ生成ユニット103の逆拡散処理部111と同様に、チャンネル推定部139によりパスのチャンネル推定値を求め、乗算器140に於いて加算器137の加算出力信号(逆拡散出力信号)にチャンネル推定値(複素共役)を乗算して合成器142に入力する。

【0015】合成器142の合成出力信号を判定部143に入力して閾値との比較によるデータ判定を行い、この判定出力信号とチャンネル推定値とを乗算器141に於いて乗算して、加算器137の出力信号に対応する信号とし、乗算器141からの乗算出力信号と加算器137からの出力信号とを加算器138に入力して差分を求め、その差分を前述のように重み付け制御部136に入力し、加算器137に於いて最適合成するように、重み付け制御部136から重み係数を出力する。

【0016】図13は従来例のRAKE受信装置の説明図であり、151はアンテナ、152はフィンガ部で、複数設けられている。又153はサーチャ、154は合成器(Σ)、155は判定部、156は逆拡散部、157は乗算器、158は拡散コード出力部、159はダンブフィルタ、160は遅延調整部(τ)、161はチャンネル推定部、162は乗算器、163は整合フィルタ、164は平均化部、165は遅延プロファイル用のメモリ(RAM)、166はフィンガ割当てを行うパス検出部である。

【0017】RAKE受信装置は、サーチャ153によって求めた遅延プロファイルに従って、複数のフィンガ部152をパス対応に割当ててもので、サーチャ153は、整合フィルタ163の出力信号を平均化部164により平均化して得られた遅延プロファイルをメモリ165に格納し、パス検出部166によりパスの判定を行うものであり、例えば、図14に示す遅延プロファイルが得られた場合、パス検出部166は、閾値TH1と受信レベルとを比較し、閾値TH1を超える受信レベルをパスP1、P2、P3とし、それぞれのパスP1、P2、P3を第1、第2、第3のフィンガ部152に割当てて、

【0018】この割当ては、パスP1、P2、P3の位相差に従って遅延調整部160の遅延時間の制御を行うと共に、パスP1、P2、P3に対応したタイミングで

拡散コード出力部158にスタート信号を加えて、受信信号に対する逆拡散処理を開始させる。それによって、遅延プロファイルによるパスP1、P2、P3を介した受信信号を合成することにより、受信感度を向上することができる。

【0019】

【発明が解決しようとする課題】前述のように、DS-CDMA方式の無線通信装置に於いては、干渉キャンセラ装置を設けて、他のチャンネルによる干渉を除去し、受信特性を改善する構成が知られており、又DS-CDMA方式の無線通信装置にアレーアンテナを用いて、電波の到来方向に対応して合成するアダプティブアレー受信装置により、受信特性を改善する構成が知られている。

【0020】又単に、DS-CDMA方式にアレーアンテナを設けてアダプティブアレー受信装置の構成を適用したとすると、構成が複雑化して、システムのコストが上昇する問題がある。特に、伝送レートの高い高速チャンネルと、伝送レートの低い低速チャンネルとを混在して無線通信を行うDS-CDMA方式に於いては、高速チャンネルの送信電力が大きいことにより、システム構成が一層複雑化する問題がある。本発明は、特に干渉キャンセラ装置の構成を簡便化し、無線通信装置のコストダウンを図ることを目的とする。

【0021】

【課題を解決するための手段】本発明の干渉キャンセラ装置は、(1)少なくとも低速チャンネルと高速チャンネルとを含むマルチレート伝送を行うDS-CDMA通信システムに於ける干渉キャンセラ装置であって、アレーアンテナ素子1-1~1-m対応の受信信号を入力して高速チャンネルの干渉レプリカを生成する高速チャンネル用のアレーアンテナ干渉レプリカ生成ユニット5と、アレーアンテナ素子1-1~1-mによる受信信号から前記アレーアンテナ干渉レプリカ生成ユニット5により生成した干渉レプリカを減算して、高速チャンネルによる干渉を除去した干渉除去信号を出力する加算器6とを含む構成を有する。即ち、送信電力の大きい高速チャンネルによる干渉を除去し、低速チャンネル用の干渉レプリカ生成ユニットを省略しても、低速チャンネルの伝送品質の劣化を防止することができる。

【0022】又(2)干渉キャンセラ装置に於いて、受信信号の遅延プロファイルを基にパス検出を行ってフィンガ部の割当てを行うサーチャを有し、このサーチャは、低速チャンネルのパス検出時の閾値を記憶するメモリと、このメモリに記憶された低速チャンネルのパス検出用の閾値を用いて前記高速チャンネルのパス検出を行い、検出されたパスに対応して前記フィンガ部の割当てを行うパス検出部とを有する構成とすることができる。

【0023】又(3)本発明の無線通信装置は、アレーアンテナ素子1-1~1-mによる受信信号を入力する干渉キャンセラ装置3と、この干渉キャンセラ装置3に

よる干渉除去信号を入力して復調する受信機4-1~4-kとを含むDS-SS-CDMA通信システムに於ける無線通信装置であって、干渉キャンセラ装置3は、高速チャネル対応のアレーアンテナ干渉レプリカ生成ユニット5と、このアレーアンテナ干渉レプリカ生成ユニット5からの干渉レプリカをアレーアンテナ素子による受信信号から減算した干渉除去信号を出力して受信機4-1~4-kに入力する加算器6とを含む構成を有するものである。

【0024】又(4)無線通信装置に於いて、アレーアンテナ素子1-1~1-mの少なくとも一つのアンテナ素子による受信信号の遅延プロファイルを基にパス検出を行ってフィンガ部の割当てを行うサーチャを有し、このサーチャは、低速チャネルのパス検出時の閾値を記憶するメモリと、高速チャネルのパス検出時に前記メモリに記憶された低速チャネルのパス検出用の閾値を用いて、高速チャネルのパス検出を行い、検出されたパス対応に前記フィンガ部の割当てを行うパス検出部とを備えている。

【0025】又(5)無線通信装置に於ける干渉キャンセラ装置3は、アレーアンテナ素子1-1~1-m対応の受信信号を入力する高速チャネル対応のアレーアンテナ干渉レプリカ生成ユニット5と、このアレーアンテナ干渉レプリカ生成ユニット5からの干渉レプリカを、アレーアンテナ素子1-1~1-m対応の受信信号から減算した干渉除去信号を出力する加算器6とを含み、受信機4-1~4-kは、アレーアンテナ素子1-1~1-m対応の干渉除去信号を用いてビームフォーミングを行って復調する構成を有するものである。

【0026】又(6)無線通信装置に於ける干渉キャンセラ装置3は、アレーアンテナ素子1-1~1-m対応の受信信号から高速チャネル対応の干渉レプリカとシンボルレプリカとを出力するアレーアンテナ干渉レプリカ生成ユニット5と、このアレーアンテナ干渉レプリカ生成ユニット5からの干渉レプリカを、アレーアンテナ素子1-1~1-m対応の受信信号から減算した干渉除去信号を出力する加算器6とを含み、低速チャネル対応の受信機は、前記アレーアンテナ素子1-1~1-m対応の干渉除去信号を用いてビームフォーミングを行って復調する構成を有し、高速チャネル対応の受信機は、前記アレーアンテナ素子1-1~1-m対応の干渉除去信号と前記シンボルレプリカとを用いて復調する構成を有するものである。

【0027】又(7)無線通信装置に於ける干渉キャンセラ装置3は、アレーアンテナ素子1-1~1-m対応の受信信号を入力して干渉レプリカを生成出力する高速チャネル対応のアレーアンテナ干渉レプリカ生成ユニット5と、このアレーアンテナ干渉レプリカ生成ユニット5からの干渉レプリカを、アレーアンテナ素子1-1~1-mの一つの素子による受信信号から減算した干渉除

去信号を出力して、低速チャネル対応の受信機に入力する加算器6とを含む構成を有するものである。

【0028】又(8)無線通信装置に於ける干渉キャンセラ装置3は、アレーアンテナ素子1-1~1-m対応の受信信号を入力して干渉レプリカとシンボルレプリカとを出力する高速チャネル対応のアレーアンテナ干渉レプリカ生成ユニット5と、このアレーアンテナ干渉レプリカ生成ユニット5からの干渉レプリカを、アレーアンテナ素子1-1~1-mの一つの素子による受信信号から減算した干渉除去信号を出力する加算器6とを含み、低速チャネル対応の受信機は、干渉除去信号を用いて復調する構成を有し、高速チャネル対応の受信機は、干渉除去信号とシンボルレプリカとを用いて復調する構成を有するものである。

【0029】

【発明の実施の形態】図1は本発明の実施の形態の無線通信装置の要部を示し、1-1~1-mはアレーアンテナ素子、2は無線受信部、3は干渉キャンセラ装置、4-1~4-kはユーザ対応の受信機、5は高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット、6は受信信号から干渉レプリカを減算する為の加算器を示す。この場合、低速チャネルと高速チャネルとが混在してDS-SS-CDMA方式に従って無線通信を行う基地局の受信部を示し、受信機は、低速チャネル対応と高速チャネル対応とを含み、図示を省略したネットワークに接続される。

【0030】無線受信部2は、アレーアンテナ素子1-1~1-m対応に、低雑音増幅器、帯域フィルタ、周波数変換器、局部発振器、AD変換器等を含み、アレーアンテナ素子1-1~1-m対応の受信信号をデジタル信号に変換して干渉キャンセラ装置3に入力する。干渉キャンセラ装置3は、高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット5を含み、高速チャネルと低速チャネルとの混在する信号から高速チャネルの干渉レプリカを除去する構成を有するものである。

【0031】高速チャネルの送信電力が大きいことにより、低速チャネルに対する干渉が大きくなるから、低速チャネルのユーザの受信信号に対する高速チャネルによる干渉を除去することによって、即ち、高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット5による干渉レプリカを用いて低速チャネルへの干渉分を除去することにより、低速チャネル対応の干渉レプリカ生成ユニットを設けることなく、低速チャネルの受信特性を改善することができる。

【0032】図2は本発明の第1の実施の形態の干渉キャンセラ装置の要部説明図であり、1-1~1-mはアレーアンテナ素子、11-1~11-mは遅延回路(DL)、12-1~12-Lは、高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット(AAICU)、13-1~13-mは加算器を示し、無線受信部は簡略化

の為に図示を省略している。

【0033】アレーアンテナ素子1-1~1-m対応の受信信号をアレーアンテナ干渉レプリカ生成ユニット12-1~12-Lに入力し、各アレーアンテナ干渉レプリカ生成ユニット12-1~12-Lからの高速チャンネルの干渉レプリカを生成して加算器13-1~13-mに入力し、遅延回路11-1~11-mを介したアレーアンテナ1-1~1-m対応の受信信号から干渉レプリカを減算して、低速チャンネルのユーザ受信機（図示を省略）に入力する。なお、第1ステージのみによる構成の場合を示すが、図10に示すように第2ステージを含むマルチステージ構成とすることも可能である。

【0034】図3は本発明の第1の実施の形態に於ける干渉レプリカ生成ユニットの説明図であり、12は、図2の高速チャンネル用のアレーアンテナ干渉レプリカ生成ユニット12-1~12-Lを示す。又14は逆拡散処理部、15は再拡散処理部、16、18-1~18-mは合成器（Σ）、17は判定部、21-1~21-mは逆拡散部、22-1~22-mは乗算器、23は加算器、24、25は乗算器、26は加算器、27はチャンネル推定部、28は重み付け制御部、29は乗算器、30-1~30-mは乗算器、31-1~31-mは再拡散部である。

【0035】逆拡散処理部14及び再拡散処理部15は、従来例と同様にマルチパス対応に同一構成として複数設けられている。又逆拡散処理部14は、逆拡散部21-1~21-mをアレーアンテナ素子対応に設け、各逆拡散部21-1~21-mの逆拡散出力信号を乗算器22-1~22-mと重み付け制御部28とに入力する。又重み付け制御部28に、加算器23の出力信号と乗算器25の出力信号との差分を、加算器26により求めて入力する。

【0036】重み付け制御部28は、例えば、隣接する各逆拡散部21-1~21-mの出力信号と、加算器26からの差分値とを基に重み係数を算出して、乗算器22-1~22-m、30-1~30-mに入力する。従って、逆拡散出力信号に重み係数を乗算器22-1~22-mに於いて乗算し、位相を合わせた状態として加算器23により加算し、乗算器24とチャンネル推定部27と加算器26とに入力する。

【0037】チャンネル推定部27は、前述のように、既知のシンボルを用いてチャンネル推定値を求め、乗算器24にチャンネル推定値の複素共役（*印で示す）を入力してパス対応の受信信号の位相を合わせて合成器16により合成し、判定部17により仮判定して、乗算器25、29に入力する。なお、乗算器25への入力、チャンネル推定値を求める際にも用いた既知シンボルの部分のみを用いても良い。

【0038】再拡散処理部15に於いては、乗算器29により仮判定データにチャンネル推定値を乗算して元に戻

した状態とし、乗算器30-1~30-mにより重み係数の複素共役（*印で示す）を乗算して、恰も逆拡散部21-1~21-mの拡散出力信号の状態に戻し、再拡散部31-1~31-mにより再拡散し、合成器18-1~18-mによりパス対応の再拡散出力信号を合成して、干渉レプリカとする。又乗算器29の出力信号をアレーアンテナ合成後のシンボルレプリカ、乗算器30-1~30-mの出力信号を各アンテナのシンボルレプリカとすることができる。

10 【0039】又前述の再拡散処理部15を省略した構成は、例えば、図12に示すアダプティブアレー受信装置と同等な構成となる。本発明に於いては、再拡散処理部15を設けることにより、高速チャンネル対応のアレーアンテナ干渉レプリカ生成ユニット12を構成したもので、送信電力の大きい高速チャンネルによる低速チャンネルへの干渉を除去し、低速チャンネルの伝送品質を経済的な構成によって確保することができる。

【0040】図4は本発明の実施の形態のサーチの説明図であり、51はアンテナ素子、52-1~52-5はRAKE受信機のフィンガ部、53はサーチ、54は合成器、55は判定部、56は整合フィルタ、57は平均化部、58は遅延プロファイルを格納するメモリ（RAM）、59はパス検出部、60は低速チャンネルのパス検出の閾値を記憶するメモリ（RAM）、61は逆拡散部、62は乗算器、63は拡散コード発生部、64はダンプフィルタ、65は遅延調整部（τ）、66はチャンネル推定部、67は乗算器であり、アンテナ素子51は、アレーアンテナの一つの素子を示し、このアンテナ素子51による受信信号をサーチに入力する場合を示す。

【0041】サーチ53は、整合フィルタ56、平均化部57、遅延プロファイル格納用のメモリ58、パス検出部59と共に、低速チャンネルのパス検出用の閾値を記憶するメモリ60を備えている。又RAKE受信機のフィンガ部52-1~52-5は、5フィンガ構成の場合を示すが、更に多数のフィンガ構成とすることも可能である。又各フィンガ部52-1~52-5は、図13に示す従来例のフィンガ部152と同様な構成を有するものであり、従って、図3に示す干渉レプリカ生成ユニットのパス対応の逆拡散処理部14と再拡散処理部15との割当てにも適用することができる。

【0042】図5は高速チャンネルのパス検出の説明図であり、(A)は低速チャンネルの遅延プロファイルを示し、(B)は高速チャンネルの遅延プロファイルを示す。

(A)の低速チャンネルの遅延プロファイルの場合、図14について説明した場合と同様に、パス検出部59は、低速チャンネルに対しては、平均化部57により平均化してメモリ58に記憶させた遅延プロファイルを基に閾値TH1を設定し、この閾値TH1を超える受信レベルのパスP1、P2、P3をフィンガ部に割当ててゐるものであ

る。又 (B) の高速チャネルの遅延プロファイルの場合、従来例に於いては、その遅延プロファイルを基に閾値 TH 2 を設定し、この閾値 TH 2 を超えるパス P 1, P 2, P 3 をフィンガ部に割当ててゐるものである。

【0043】高速チャネルに於いては、閾値 TH 2 を超えないパスの受信レベルも、低速チャネルに於けるパスの受信レベル以上となる場合があり、最大割当フィンガ数が少ない場合は干渉除去が充分でない問題がある。そこで、本発明に於いては、低速チャネルのパス検出時の閾値 TH 1 をメモリ 6 0 に記憶しておき、パス検出部 5 3 に於ける高速チャネルのパス検出時に、メモリ 6 0 に記憶しておいた低速チャネルのパス検出用の閾値 TH 1 を読出して、高速チャネルのパス検出用の閾値とするものである。

【0044】従って、高速チャネルのパス検出時に、低速チャネルに於けるパス検出時の受信レベルと同等以上の受信レベルについてパス検出を行うことになり、

(B) の場合に、パス P 1 ~ P 5 が検出される。そして、この検出したパス P 1 ~ P 5 対応にフィンガ部 5 2 - 1 ~ 5 2 - 5 を割当ててゐる。即ち、割当フィンガ数を多くしておき、高速チャネルに対するフィンガ部を数を多くする。例えば、低速チャネルに対しては 3 個のフィンガ部を割当て、高速チャネルに対しては 5 個のフィンガ部を割当ててゐるようにすることができる。

【0045】これによって、送信電力の大きい高速チャネルに於ける干渉の除去を有効に行うことができる。又サーチャ 5 3 によるフィンガ部 5 2 - 1 ~ 5 2 - 5 の割当ての構成を、干渉レプリカ生成ユニット 1 2 に於ける逆拡散部 1 4 のパス対応の割当てに適用し、高速チャネルの干渉レプリカを生成することができる。即ち、低速チャネル用の干渉レプリカ生成ユニットを省略する代わりに、高速チャネル用の干渉レプリカ生成ユニットから精度の高い高速チャネルによる干渉レプリカを生成して出力することができる。

【0046】図 6 は本発明の第 1 の実施の形態の無線通信装置の要部説明図であり、DS-CDMA 方式の基地局の受信部に相当し、図 2 の構成を適用した場合を示す。同図に於いて、1-1 ~ 1-m はアレーアンテナ素子、11-1 ~ 11-m は遅延回路 (DL)、12-1 ~ 12-L は高速チャネル用のアレーアンテナ干渉レプリカ生成ユニット (AAICU)、13-1 ~ 13-m は加算器、60-1 ~ 60-k は低速ユーザのアダプティブアレー受信機 (AA 受信機)、61 は干渉キャンセラ装置を示す。

【0047】アレーアンテナ干渉レプリカ生成ユニット 12-1 ~ 12-L は、図 3 に示す構成を有し、高速チャネルの干渉レプリカを出力して加算器 13-1 ~ 13-m に入力し、遅延回路 11-1 ~ 11-m を介した受信信号から減算する。遅延回路 11-1 ~ 11-m は、前述のように、アレーアンテナ干渉レプリカ生成ユニッ

ト 12-1 ~ 12-L による処理時間を補償する為のものである。

【0048】又アダプティブアレー受信機 60-1 ~ 60-k は、例えば、図 12 に示す構成を適用することができる。即ち、ビームフォーミングを行って合成した受信信号を基に復調することができる。又高速ユーザの受信機については図示を省略しているが、アレーアンテナ干渉レプリカ生成ユニット 12-1 ~ 12-L に於ける判定部 17 (図 3 参照) からの判定出力を用いることができる。又シンボルレプリカは、チャネル推定値を乗算したことで、位相補正を行う前の位相情報となる為、用いることができない。又第 1 ステージ構成の場合を示すが、マルチステージ構成とすることも可能である。

【0049】図 7 は本発明の第 2 の実施の形態の無線通信装置の要部説明図であり、図 6 に示す実施の形態より更に構成を簡単化した場合を示す。同図に於いて、71-1 ~ 71-m はアレーアンテナ素子、72 は干渉キャンセラ装置、73 は遅延回路 (DL)、74-1 ~ 74-L はアレーアンテナ干渉レプリカ生成ユニット (AAICU)、75 は加算器、76-1 ~ 76-k は低速ユーザの受信機を示す。

【0050】この実施の形態は、アレーアンテナ素子 71-1 ~ 71-m 対応の受信信号をアレーアンテナ干渉レプリカ生成ユニット 74-1 ~ 74-L に入力し、又アレーアンテナ素子 71-1 ~ 71-m の中の一つのアレーアンテナ素子 71-1 による受信信号を、遅延回路 73 と加算器 75 とを介して受信機 76-1 ~ 76-k に入力するもので、その加算器 75 に於いて、アレーアンテナ干渉レプリカ生成ユニット 74-1 ~ 74-L からの干渉レプリカを減算して、送信電力の大きい高速チャネルによる干渉を除去し、この干渉除去信号を低速ユーザの受信機 76-1 ~ 76-k に入力して復調するものである。この場合も、高速ユーザに対しては、アレーアンテナ干渉レプリカ生成ユニット 74-1 ~ 74-L に於ける判定部からの判定出力を用いることができる。

【0051】図 8 は本発明の第 3 の実施の形態の無線通信装置の要部説明図であり、81-1 ~ 81-m はアレーアンテナ素子、82 は干渉キャンセラ装置、83-1 ~ 83-m は遅延回路 (DL)、84-1 ~ 84-L はアレーアンテナ干渉レプリカ生成ユニット (AAICU)、85-1 ~ 85-m は加算器、86-1 ~ 86-k は低速ユーザのアダプティブアレー受信機 (AA 受信機)、87-1 ~ 87-L は高速ユーザのアダプティブアレー受信機 (AA 受信機) である。

【0052】アレーアンテナ干渉レプリカ生成ユニット 84-1 ~ 84-L は、前述の各実施の形態に於けるアレーアンテナ干渉レプリカ生成ユニットと同様な構成を有するもので、アレーアンテナ素子 81-1 ~ 81-m 対応の受信信号をアレーアンテナ干渉レプリカ生成ユニット 84-1 ~ 84-L に入力し、高速チャネルの干渉

10

20

30

40

50

レプリカとシンボルレプリカとを出力する。そして、生成した干渉レプリカを加算器85-1~85-mに入力し、遅延回路83-1~83-mを介したアレーアンテナ素子81-1~81-m対応の受信信号から干渉レプリカを減算し、高速チャンネルによる干渉を除去した干渉除去信号を低速ユーザと高速ユーザとのアダプティブアレー受信機86-1~86-k, 87-1~87-Lに入力する。これらの受信機は、例えば、図12に示す構成を用いることができる。

【0053】低速ユーザのアダプティブアレー受信機86-1~86-kは、入力された干渉除去信号を用いてビームフォーミングを行った合成信号を基に復調する。又高速ユーザのアダプティブアレー受信機87-1~87-Lは、入力された干渉除去信号と、アレーアンテナ干渉レプリカ生成ユニット84-1~84-Lからのシンボルレプリカとを用いて復調する。この場合の高速ユーザのアダプティブアレー受信機87-1~87-Lは、例えば、図3に於ける逆拡散処理部14と図11に於ける逆拡散処理部111と図12に於ける逆拡散処理部133との構成を組合せた構成に対応する。

【0054】図9は本発明の第4の実施の形態の無線通信装置の要部説明図であり、91-1~91-mはアレーアンテナ素子、92は干渉キャンセラ装置、93遅延回路(DL)、94-1~94-Lはアレーアンテナ干渉レプリカ生成ユニット(AAICU)、95は加算器、96-1~96-kは低速ユーザの受信機、97-1~97-Lは高速ユーザの受信機である。アレーアンテナ干渉レプリカ生成ユニット94-1~94-Lは、前述の各実施の形態に於けるアレーアンテナ干渉レプリカ生成ユニットと同一の構成を有するものである。

【0055】この実施の形態は、図7に示す実施の形態と同様に、アレーアンテナ素子91-1~91-mの中の一つのアレーアンテナ素子91-1による受信信号を遅延回路93を介して加算器95に入力し、又アレーアンテナ素子91-1~91-m対応の受信信号を入力するアレーアンテナ干渉レプリカ生成ユニット94-1~94-Lから干渉レプリカとシンボルレプリカとを出力し、その干渉レプリカを加算器95に入力し、受信信号から高速チャンネルによる干渉レプリカを減算して干渉除去信号とする。

【0056】この干渉除去信号を低速ユーザの受信機96-1~96-kと高速ユーザの受信機97-1~97-Lとに入力する。低速ユーザの受信機96-1~96-kは、低速チャンネルに対する高速チャンネルの干渉を除去した干渉除去信号を用いて復調する。又高速ユーザの受信機97-1~97-Lは、アレーアンテナ干渉レプリカ生成ユニット94-1~94-Lからのシンボルレプリカと干渉除去信号とを用いて復調する。

【0057】本発明は、前述の各実施の形態にのみ限定されるものではなく、種々付加変更することができるも

のであり、例えば、図4に示す高速チャンネルによるパス検出を低速チャンネルのパス検出用の閾値TH1を用いて行うサーチの構成をそれぞれの実施の形態と組合せるように適用することもできる。

【0058】

【発明の効果】以上説明したように、本発明は、低速チャンネルと高速チャンネルとを含むマルチレート伝送を行うDS-SSMA通信システムに於ける干渉キャンセラ装置及びこの干渉キャンセラ装置を用いた無線通信装置であり、アレーアンテナ1-1~1-mにより受信する構成とし、且つ高速チャンネルによる干渉レプリカを生成するアレーアンテナ干渉レプリカ生成ユニット5を設けて、受信信号に対する高速チャンネルによる干渉を除去するもので、低速チャンネル対応の干渉レプリカ生成ユニットを設けることなく、高速チャンネルによる干渉を除去して、低速チャンネルの伝送品質の向上を図ることが可能となる。従って、マルチレート伝送の総てのチャンネル対応にアレーアンテナ干渉レプリカ生成ユニットを設ける場合に比較して経済的な構成となる利点があり、且つ構成を単純化しても、送信電力の大きい高速チャンネルによる干渉を除去することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の無線通信装置の要部説明図である。

【図2】本発明の第1の実施の形態の干渉キャンセラ装置の要部説明図である。

【図3】本発明の第1の実施の形態に於ける干渉レプリカ生成ユニットの説明図である。

【図4】本発明の実施の形態のサーチの説明図である。

【図5】高速チャンネルのパス検出の説明図である。

【図6】本発明の第1の実施の形態の無線通信装置の要部説明図である。

【図7】本発明の第2の実施の形態の無線通信装置の要部説明図である。

【図8】本発明の第3の実施の形態の無線通信装置の要部説明図である。

【図9】本発明の第4の実施の形態の無線通信装置の要部説明図である。

【図10】従来例の干渉キャンセラ装置の要部説明図である。

【図11】従来例の干渉レプリカ生成ユニットの説明図である。

【図12】従来例のアダプティブアレー受信装置の説明図である。

【図13】従来例のRAKE受信装置の説明図である。

【図14】フィンガ割当処理の説明図である。

【符号の説明】

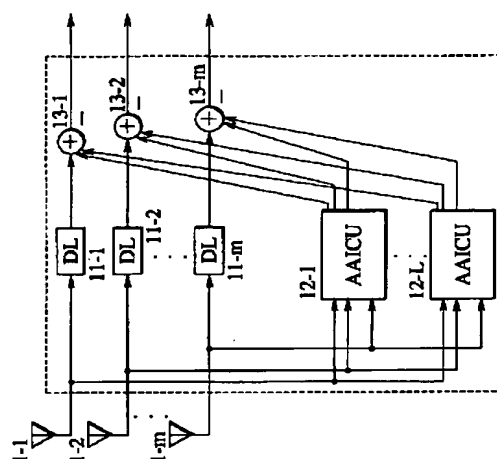
1-1~1-m アレーアンテナ素子

2 無線受信部

4-1 ~ 4-k 受信機

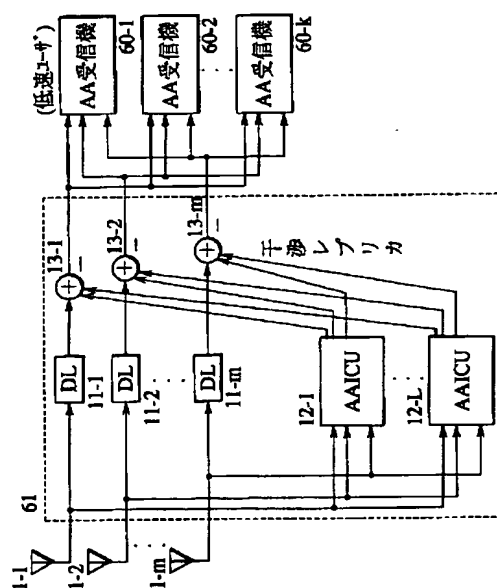
【图 2】

本発明の第1の実施の形態の
干渉キャンセラ装置の要部説明図



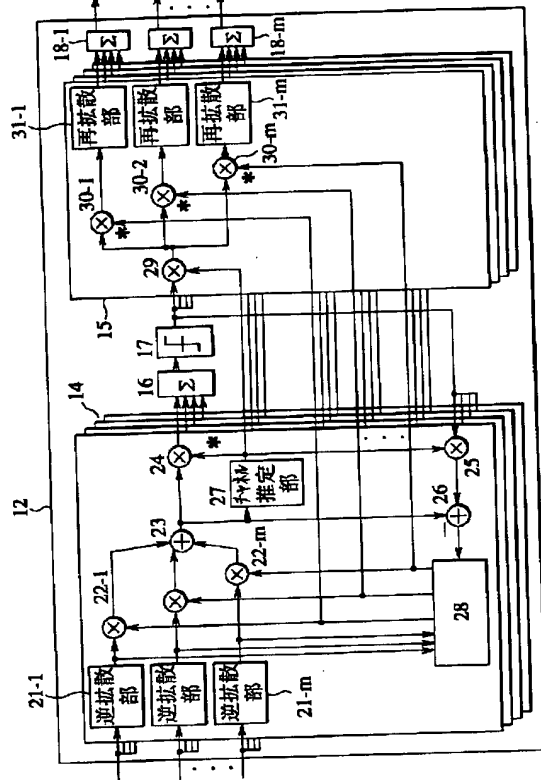
【图 6】

本発明の第1の実施の形態の無線通信装置の要部説明図



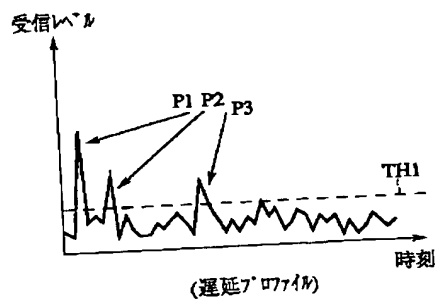
【図3】

本発明の第1の実施の形態に於ける
干渉レプリカ生成ユニットの説明図



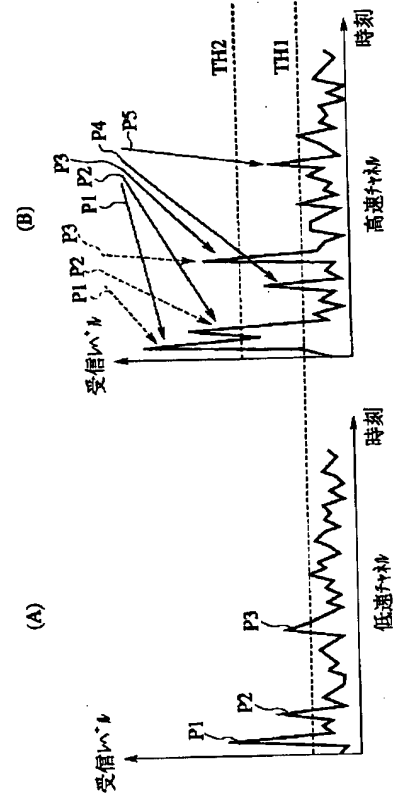
【図14】

フィンガ割当処理の説明図



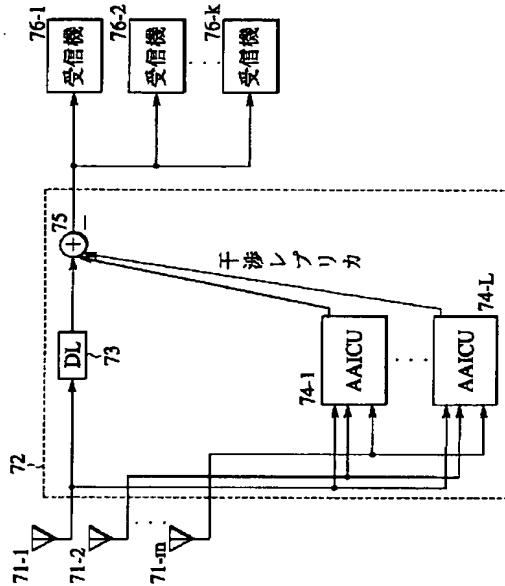
【図5】

高速チャネルのパス検出の説明図



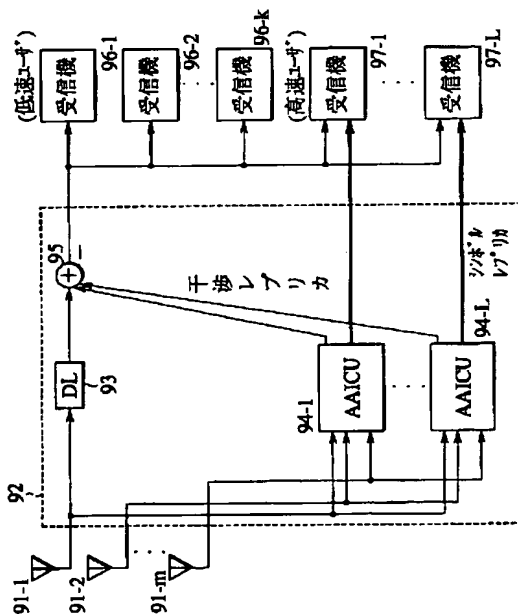
【図7】

本発明の第2の実施の形態の
無線通信装置の要部説明図



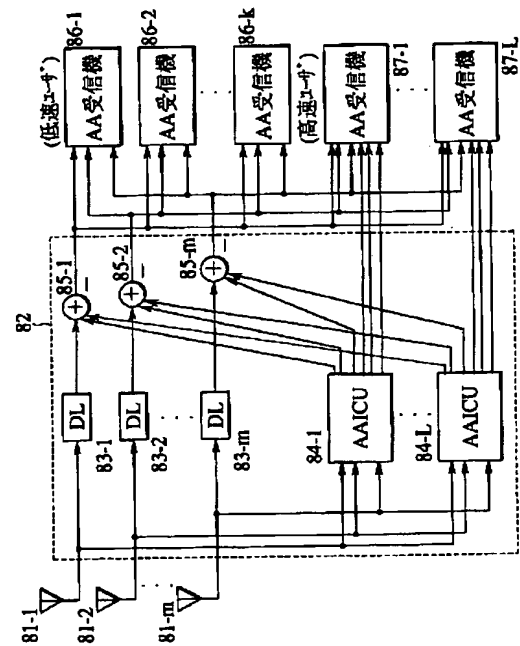
【図9】

本発明の第4の実施の形態の
無線通信装置の要部説明図



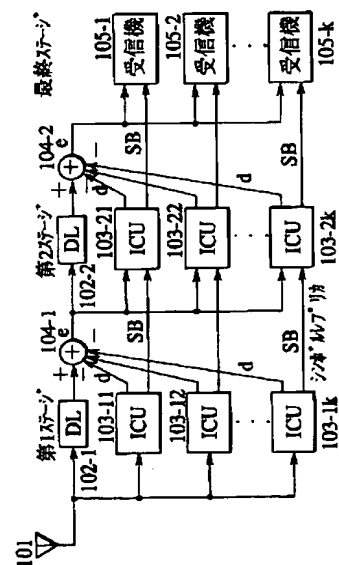
【図8】

本発明の第3の実施の形態の
無線通信装置の要部説明図



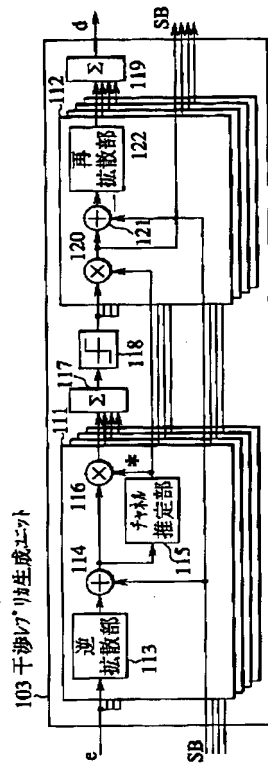
【図10】

従来例の干渉キャンセラ装置の要部説明図



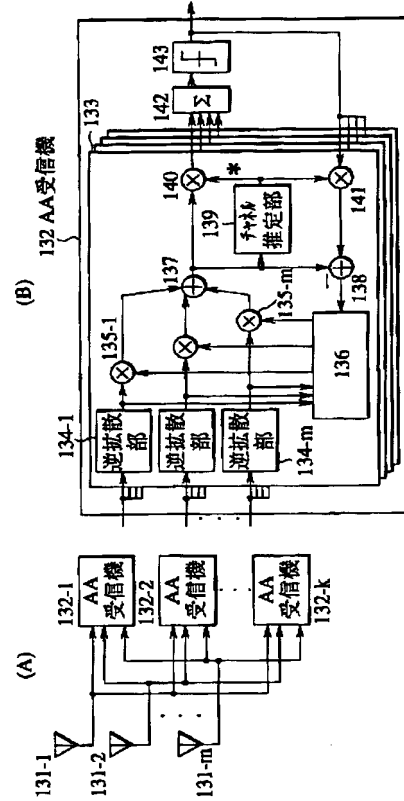
【図11】

従来例の干渉レプリカ生成ユニットの説明図



【図12】

従来例のアダプティブアレー受信装置の説明図



THIS PAGE BLANK (USPTO)